

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-174410

(43)Date of publication of application : 02.07.1999

(51)Int.Cl.

G02F 1/133

G02F 1/133

G09G 3/36

(21)Application number : 09-343447

(71)Applicant : SHARP CORP
UK GOVERNMENT

(22)Date of filing : 12.12.1997

(72)Inventor : TOMIZAWA KAZUNARI

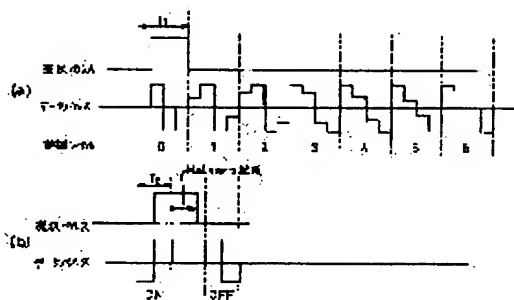
(54) DRIVING METHOD FOR MATRIX DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To sufficiently secure a driving margin for analog driving at the time of displaying gradation levels by combining analog driving and digital driving.

SOLUTION: In a matrix display device in which pixels are formed at crossing parts of plural scanning electrodes and plural signal electrodes arranged in matrix, one frame is divided into plural periods and binary gradation levels are displayed respective periods and also a pixel is divided into plural subpixels and binary gradation levels are performed at respective subpixels (a digital driving).

Moreover, gradation levels of seven values (seven levels) by an analog driving are performed with respect to first subpixels of the divided first period. At the time of analog driving, a selection time T1 is made long and at the time of digital driving, a selection time T2 is made short.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
examiner's decision of rejection or application converted
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection][Date of requesting appeal against examiner's decision of
rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-174410

(43) 公開日 平成11年(1999) 7月2日

(51) Int.Cl.⁶

G 0 2 F 1/133

識別記号

5 4 5

5 7 5

F I

G 0 2 F 1/133

5 4 5

5 7 5

G 0 9 G 3/36

G 0 9 G 3/36

審査請求 未請求 請求項の数 8 O L (全 13 頁)

(21) 出願番号

特願平9-343447

(22) 出願日

平成9年(1997)12月12日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(74) 代理人 弁理士 原 謙三

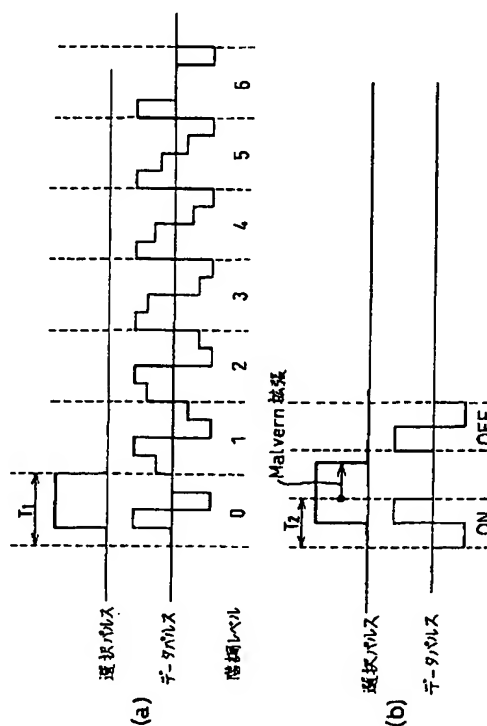
最終頁に続く

(54) 【発明の名称】 マトリクス型表示装置の駆動方法

(57) 【要約】

【課題】 アナログ駆動とデジタル駆動とを組み合わせ、アナログ駆動の駆動マージンを十分確保する。

【解決手段】 マトリクス状に配列された、複数の走査電極と複数の信号電極との交差部において画素が形成されるマトリクス型表示装置において、1フレームを複数の期間に分割して各期間で2値の階調表示を行うとともに、画素を複数の副画素に分割して各副画素で2値の階調表示を行う（デジタル駆動）。また、分割された第1の期間の第1の副画素に対しアナログ駆動による7値（7レベル）の階調表示を行う。アナログ駆動時には選択期間を長くし、デジタル駆動時には選択期間を短くする。



【特許請求の範囲】

【請求項 1】互いに対向しかつ交差するように配列された複数の走査電極と複数の信号電極との交差部において画素が形成されるマトリクス型表示装置において、1 フレーム内に上記走査電極へ複数回選択パルスが付与する一方、上記信号電極へ選択パルスに対応してデータパルスが付与することにより、1 フレーム内に選択パルスの付与回数だけ上記画素を点灯または消灯させるマトリクス型表示装置の駆動方法であって、上記走査電極を介して同一画素に付与される選択パルスのうち少なくとも 1 つを他と異ならせていることを特徴とするマトリクス型表示装置の駆動方法。

【請求項 2】選択パルスの付与後に上記走査電極へ選択パルスと同じ回数表示状態を消去するための消去パルスが付与し、上記走査電極を介して同一画素に付与される該消去パルスのうち少なくとも 1 つを他と異ならせていることを特徴とする請求項 1 に記載のマトリクス型表示装置の駆動方法。

【請求項 3】1 フレームを長さの異なる複数の期間に分割し、そのうち最も長い期間における消去パルスを他の期間における消去パルスと異ならせていることを特徴とする請求項 2 に記載のマトリクス型表示装置の駆動方法。

【請求項 4】上記選択パルスが走査電極上の画素に付与される各選択期間でデータパルスを上記信号電極へ 2 値的に付与するデジタル駆動と、少なくとも 1 つの上記選択期間で 3 階調以上の表示を行うためのデータパルスを上記信号電極へ付与するアナログ駆動とを用い、アナログ駆動を行うときの選択期間をデジタル駆動を行うときの選択期間より長くすることを特徴とする請求項 1 ないし 3 のいずれかに記載のマトリクス型表示装置の駆動方法。

【請求項 5】アナログ駆動を行うときとデジタル駆動を行うときとで上記選択パルスの形状を互いに異ならせていることを特徴とする請求項 4 に記載のマトリクス型表示装置の駆動方法。

【請求項 6】デジタル駆動を行うときに上記選択パルスの付与時間をその選択パルスに対応する選択期間を越えて延長することを特徴とする請求項 4 に記載のマトリクス型表示装置の駆動方法。

【請求項 7】互いに対向しかつ交差するように配列された複数の走査電極と複数の信号電極との交差部において画素が形成されるマトリクス型表示装置において、1 フレーム内に上記走査電極へ複数回選択パルスが付与するとともに、選択パルスの付与後に上記走査電極へ選択パルスと同じ回数表示状態を消去するための消去パルスが付与する一方、上記信号電極へ選択パルスに対応してデータパルスが付与することにより、1 フレーム内に選択パルスの付与回数だけ上記画素を点灯または消灯させるマトリクス型表示装置の駆動方法であって、

複数回付与される上記消去パルスのうち少なくとも 1 つを他の 1 つと異ならせていることを特徴とするマトリクス型表示装置の駆動方法。

【請求項 8】1 フレームを長さの異なる複数の期間に分割し、そのうち最も長い期間における消去パルスを他の期間における消去パルスと異ならせていることを特徴とする請求項 7 に記載のマトリクス型表示装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶表示装置などのマトリクス型表示装置の駆動方法に係り、特に、強誘電性液晶を用いた液晶表示装置における階調表示に好適なマトリクス型表示装置の駆動方法に関するものである。

【0002】

【従来の技術】メモリ性を有するマトリクス型表示装置は、特開平 5-107521 号公報に開示されている相転移形液晶表示装置の他に、特開平 3-20715 号公報に記載された強誘電性液晶表示装置、特開平 6-43829 号公報に開示されているプラズマ表示装置などがある。

【0003】一般に、マトリクス型表示装置には、共通して、走査電極毎に独立した選択期間が必要となるので同時に複数の走査電極を選択することができないという特徴がある。また、メモリ性を有する上記の各マトリクス型表示装置においては、走査電極に印加する電圧を次のように変化させて表示を行っている。まず、画素の表示状態を決める選択電圧（選択パルス）を印加した後、画素の表示状態を消去するための消去電圧（消去パルス）を印加する。

【0004】上記のような表示装置の階調表示方法としては、代表的に、（1）時間分割駆動法、（2）画素分割駆動法、（3）時間分割駆動法と画素分割駆動法とを組み合わせた駆動法、（4）アナログ階調駆動法および（5）アナログ階調駆動法とデジタル階調駆動法とを組み合わせた駆動法（以降、アナログ／デジタル駆動法と称する）が挙げられる。以下に、それぞれの駆動法について説明する。

【0005】（1）の駆動法は、1 フレームを複数のフィールドに均等に分割し、各フィールドで独立に 2 値のデータに基づいて表示を行うことによって 2^N 階調を実現することができる（特開平 5-88646 号公報参照）。また、1 フレームを 1 : 2 : 4 : … : 2^{N-1}（N は自然数）の時間間隔で複数のフィールドに分割する駆動法もある（特開平 6-18854 号公報参照）。このような時間分割駆動法では、1 フレーム内で同じ走査電極を独立に N 回走査するので、1 つの走査電極を選択する各フィールドが 1 フレームの 1/N にまで短くなり、1 本の走査期間を選択する選択期間もまた短くなる。し

たがって、これに伴い、データの周波数がN倍になるという不都合がある。

【0006】(2)の駆動法は、1画素を $1:2:4:\dots:2^{N-1}$ の面積比の副画素に分割し、各副画素を独立に2値のデータに基づいて駆動することによって 2^N 階調を実現することができる。この画素分割駆動法を適用するには、表示セルにおいて、1画素が複数に分割されていなければならない、そのために表示セルの構造が複雑になるという不都合がある。例えば、 $1:2:4$ の分割比で1画素を分割する場合、画素を分割するだけでなく分割された副画素を独立して駆動するために、各副画素にそれぞれ対応する電極を設ける必要がある。しかしながら、このような電極構造のみを用いて高精細に表示を行うことができる液晶セルを製作することは、電極構造の複雑化を招くので非常に難しい。

【0007】(3)の駆動法は、特開平7-152017号公報などに開示されている。以下に、このような駆動法を詳細に説明する。

【0008】ここで述べる駆動法では、1フレームを3つに分割する時間分割と、1画素を2つに分割する画素分割とを用いる。図6は、この駆動法によって64階調を表示する場合の表示パターンを示している。以降、時間分割における各フィールドをTDnbitと称し、画素分割における各副画素をSDnbit ($n=1, 2, 3$)と称する。

【0009】時間分割では、 $1:4:16=TD1bit:TD2bit:TD3bit$ の比で1フレームを分割し、画素分割では、 $1:2=SD1bit:SD2bit$ の比で1画素を分割している。図6は、1階調毎に3つの画素を示しているが、これらは3つに分割された各期間での同一画素の表示パターンを表している。したがって、3つの画素は、左から $1:4:16$ の輝度で表示を行う。また、1画素は、 $1:2$ の面積比で2つの副画素に分割されており、各副画素は、同時に走査され、かつ独立して駆動されるようになっている。

【0010】例えば、全ての画素が点灯しない状態を階調レベル“0”とすると、TD1bitにおけるSD1bitのみが点灯する場合が階調レベル“1”であり、続いてTD1bitにおけるSD2bitのみが点灯する場合が階調レベル“2”である。さらに、TD1bitにおけるSD1bitおよびSD2bitがともに点灯する場合が階調レベル“3”である。TD2bitでは、TD1bitの4倍の輝度で表示を行うので、階調レベル“4”については、SD1bitのみが点灯することによって、階調レベル“3”より高い輝度での表示が可能である。

【0011】このように、上記の駆動法では、3bitの時間分割と2bitの画素分割との組み合わせによる表示状態が64通りあるので、64階調の表示が可能になる。

【0012】(4)の駆動法では、1画素内で明状態と

暗状態のそれぞれの領域の割合を振幅変調またはパルス変調された波形で制御することによって変化させて、多階調表示を行う。この駆動法は、原理的に2値駆動を用いているが、液晶に印加される電圧のしきい値が画素内で異なるように構成されたセル構造を採用することによってもアナログ階調的な駆動を実現することが可能である。このような駆動法は、特開平7-152017号公報、特開平6-235904号公報などに開示されている。

【0013】(5)の駆動法では、デジタル階調駆動法において2値駆動を行う部分にアナログ階調を導入してM値駆動を行うことによって多階調表示を実現する。例えば、時間分割比を $1:M^1:M^2:\dots:M^{N-1}$ (Nは自然数)として、各画素を独立に駆動することによって M^N 階調が得られる。

【0014】例えば、 $M=4$ の場合、時間分割比が $1:4:4^2:4^3=TD1bit:TD2bit:TD3bit:TD4bit$ に設定されて、 $256(=4^4)$ 階調の表示を行う。この場合、TD1bit、TD2bit、TD3bit、TD4bitでそれぞれ独立して3、3、3、1のアナログ階調レベルの表示データによって表示を行うと、それぞれ3、 $3*4$ 、 $3*4^2$ 、 $1*4^3$ の階調レベルで表示が行われる。このとき、次の計算によって階調レベル“127”が表現される。

$$3+3*4+3*4^2+1*4^3=127$$

また、TD1bit、TD2bit、TD3bit、TD4bitでそれぞれ0、 $0*4$ 、 $0*4^2$ 、 $2*4^3$ のレベルで表示を行うときは、階調レベル“128”が表現される。

【0015】ところが、上記の駆動法においては、次の2つの条件を満たす必要がある。第1に、アナログ階調においては、階調の変化が必ずリニアでなければならない。第2に、アナログ階調の誤差が $1/M^N$ 未満でなければならない。例えば、アナログ階調の1階調目に誤差Dが含まれるときが最も誤差の影響の大きい場合であり、この場合で階調の逆転を生じさせないためには、上記の第127階調の階調レベルである $3+3*4+3*4^2+(1+D)*4^3$ が第128階調の階調レベルである128を越えてはならない。すなわち、このときの1階調目の誤差Dは、 $D<1/4^3$ を満足しなければならない。

【0016】このように、(5)の駆動法は、アナログ階調の誤差を上記のように小さく抑える必要があるもので、実用化は困難であると考えられる。

【0017】次に、555電性液晶表示装置(FLCD)の駆動方法について説明する。

【0018】FLCDの駆動方法の1つとして、“The JOERS/Alvey Ferroelectric Multiplexing Scheme”(Ferroelectrics, 1991, Vol. 122, pp.63-79)により発表されたJOERS/Alvey 駆動法(以降、J/A駆動法と称す

る)が挙げられる。また、J/A駆動法を拡張した駆動法として、Liquid Crystals, 1993, Vol. 13, No. 4, 597-601における“A new set of high matrix addressing schemes for ferroelectric liquid crystal displays”に開示されているMalvern 駆動法が挙げられる。

【0019】ここでは、それぞれの駆動法についての詳細は触れないが、Malvern 駆動法についてのみ簡単に述べる。Malvern 駆動法は、J/A駆動法の駆動マージンを拡大するという特徴を有しており、短い走査期間においても駆動が可能になる。図8に示すように、J/A駆動法(図中、J/A)は、列電圧波形における選択電圧の幅をタイムスロットTに等しく設定している。これに対し、Malvern-2 駆動法(図中、M-2)およびMalvern-3 駆動法(図中、M-3)は、選択電圧の幅をそれぞれタイムスロットTの2倍と3倍に等しく設定している。また、Malvern 駆動法は、デジタルデータの表示に適用されるが、アナログデータの表示には適用できない。

【0020】なお、図8においてLATはラインアドレスタイム(選択期間)を表している。また、Malvern 駆動法は、選択電圧の幅を上記のようにタイムスロットTの整数倍に拡張するだけでなく、非整数倍の拡張も含んでいる。

【0021】5.5.5電性液晶を用いて現在のテレビジョン仕様に対応するデューティ比でマトリクス駆動を行う場合、フルカラーで256階調相当の階調数が要求される。デジタル階調駆動法を用いて256階調を表示しようとする、例えば、分割数が8の時間分割駆動法や、分割数が4の時間分割駆動法と分割数が2の画素分割駆動法との組み合わせを用いる必要がある。

【0022】画素分割駆動法では、表示セルの大きさを考慮すれば、実際には2分割に限界であると考えられる。また、時間分割駆動法では、4分割以上の場合、駆動周波数が高くなるので、表示セルの駆動に発熱量の増大などの悪影響を及ぼす。したがって、このような悪影響をなくすには、アナログ階調駆動法を導入することによって、時間分割の分割数を減らす必要がある。

【0023】アナログ/デジタル駆動法については、先
選択期間 $T_s = T_r / R / m$

$$= (1/30) / 800 / 3 = 13.8 [\mu s]$$

しかしながら、この選択期間では、アナログ駆動の場合の駆動マージンが不足するので、FLCDを階調駆動することが困難である。しかも、デジタル駆動では前述のMalvern 駆動法を利用できるが、アナログ駆動ではMalvern 駆動法を利用できない。

【0029】ここで、図6に示す64階調表示を行う場合の輝度特性を図9に示す。この図から分かるように、例えば、階調レベル“31”と“32”との間および階調レベル“47”と“48”との間で階調の逆転が生じている。この階調の逆転について以下に説明する。

に具体例を説明したが、その方法以外にも次に述べる駆動法が挙げられる。

【0024】この駆動法では、7階調のアナログ階調駆動法と、3分割の時間分割駆動法と、2分割の画素分割駆動法とを組み合わせることによって288階調を実現する。本駆動法における階調表現法は、図6に示す前述の64階調表示を行う場合の階調表現法と基本的に同じである。本駆動法では、さらに、図7に示すように、TD1bitにおけるSD1bitにのみアナログ駆動を適用している。このアナログ駆動では、7階調のうちの階調レベル“0”(最小レベル)、“3”(中間レベル)および“6”(最大レベル)が使用される。また、時間分割比は、 $1:3:12 = TD1bit : TD2bit : TD3bit$ に設定されている。

【0025】上記のようにアナログ階調駆動法を適用すれば、アナログ階調の誤差は $1/7$ より小さく、誤差の許容範囲が前述の駆動法に比べて拡大する。ただし、この場合、階調レベル“3”は、最大レベルと最小レベルとの中央値でなければならない。この方法は、TD1bitにアナログ階調駆動法を適用することから、ここではFAB(Frist Analog Bit)法と称する。

【0026】

【発明が解決しようとする課題】上記のFAB法で256階調相当の表示を実現する場合、1つの例として、前述の図7の表示パターンを利用することが考えられる。アナログ階調レベルは多いほどよいが、ここでは上記の場合と同様の7階調の場合について説明する。この場合、時間分割は3分割であればよい。

【0027】この場合、3分割の時間分割であっても、時間分割仕様のデューティ比に基づけば、その選択期間はかなり短い。これは、選択期間がアナログ駆動およびデジタル駆動に関係なく均等に振り分けられることによる。

【0028】例えば、800本の走査電極をインターレース走査する場合、選択期間 T_s は、アナログ駆動およびデジタル駆動ともに均等であるので、1フレームを T_r 、走査電極数をR、時間分割数をmとすれば、次式のように表される。

【0030】図6に示すように、階調レベル“31”におけるスイッチング状態は、SD1bitについては、TD1bit、TD2bit、TD3bitとともにONであり、SD2bitについては、TD1bit、TD2bit、TD3bitでそれぞれON、ON、OFFである。これに対し、階調レベル“32”におけるスイッチング状態は、SD1bitについては、TD1bit、TD2bit、TD3bitとともにOFFであり、SD2bitについては、TD1bit、TD2bit、TD3bitでそれぞれOFF、OFF、ONである。このようなスイッチングの

状態によって各bit の輝度が変動することによって階調の逆転が生じると考えられる。

【0031】図10および図11に、上記の駆動法を適用したFLCDの光学応答特性の一例を示す。図10(e)および図11(e)に示すように、正極性の選択パルスと負極性の消去パルスとは交互に配置されている。選択パルスとその後に続く消去パルスとで定まる期間が各bit の表示期間を表しており、前述のように1:4:16=TD1bit : TD2bit : TD3bit に設定されている。また、光学応答特性の縦軸は輝度レベルを表している。

【0032】図10(a)ないし(d)の各光学応答特性は、それぞれ階調レベル“0”，“3”，“12”，“15”に対応し、図11(a)ないし(d)の各光学応答特性は、それぞれ階調レベル“48”，“51”，“60”，“63”に対応している。

【0033】例えば、図11(a)に示す階調レベル“48”の場合、TD3bit でON状態にスイッチングしていると、TD1bit およびTD2bit でもわずかにスイッチングしている。このような現象は、一般に累積応答と呼ばれている。したがって、TD3bit における輝度は予想される輝度よりも高くなる。このような現象は、他にも、図11(b)に示す階調レベル“51”の場合のTD1bit およびTD2bit 、図11(c)に示す階調レベル“60”の場合のTD1など、随所に観測される。

【0034】このようなスイッチング特性による輝度の変動は、各bit の表示期間が異なるために生じると考えられる。つまり、従来、各bit の消去パルスは表示期間の長さに関わらず全て同じ形状であるため、表示期間の長いTD3bit では、消去パルスによって表示状態が十分消去されていないのである。

【0035】本発明は、上記の事情に鑑みてなされたものであって、異なる階調駆動法を組み合わせた階調駆動方法において、階調駆動法に応じて適正な選択期間を確保して多階調表示を実現することを主な目的としており、さらには、累積応答による階調の逆転をなくすことを目的としている。

【0036】

【課題を解決するための手段】本発明の請求項1に記載のマトリクス型表示装置の駆動方法は、上記の課題を解決するために、互いに対向しかつ交差するように配列された複数の走査電極と複数の信号電極との交差部において画素が形成されるマトリクス型表示装置において、1フレーム内に上記走査電極へ複数回選択パルスを付与し、かつ上記走査電極を介して同一画素に付与される上記選択パルスのうち少なくとも1つを他と異ならせるとともに、上記信号電極へ選択パルスに対応してデータパルスを付与することにより、1フレーム内に選択パルスの付与回数だけ上記画素を点灯または消灯させることを

特徴としている。

【0037】上記の構成では、異なる階調駆動法を組み合わせる場合、階調駆動法に応じて適正な選択期間を設定することができる。それゆえ、階調駆動法の組み合わせの自由度を向上させることができる。

【0038】また、請求項1に記載の駆動方法では、請求項2に記載のように、選択パルスの付与後に上記走査電極へ選択パルスと同じ回数表示状態を消去するための消去パルスを付与し、上記走査電極を介して同一画素に付与される該消去パルスのうち少なくとも1つを他と異ならせている。これにより、同一画素に選択パルスが付与される各期間の表示特性に応じた消去パルスを設けることができる。

【0039】請求項2の駆動方法では、請求項3に記載のように、1フレームを長さの異なる複数の期間に分割し、そのうち最も長い期間における消去パルスを他の期間における消去パルスと異ならせている。最も長い期間における表示状態を十分に消去しなければ他の期間に累積応答を生じさせるので、その最も長い期間における消去パルスを表示状態を十分に消去しうるパルスにすることで、累積応答が軽減される。その結果、階調の逆転を防止することができる。

【0040】また、請求項1ないし3の駆動方法は、デジタル駆動およびアナログ駆動を組み合わせた場合に好適である。具体的には、請求項4に記載のように、上記選択パルスが走査電極上の画素に付与される各選択期間で表示データを上記信号電極へ2値的に付与するデジタル駆動と、少なくとも1つの上記選択期間で3階調以上の表示を行うためのデータパルスを上記信号電極へ付与するアナログ駆動とを用い、アナログ駆動を行うときの選択期間をデジタル駆動を行うときの選択期間より長くする。

【0041】マトリクス型表示装置では、駆動周波数がある程度制限する必要性から、1画素当たりの選択期間の総計を長くすることができない。このため、デジタル駆動時の選択期間を短くし、アナログ駆動時の選択期間を長くすることによって、アナログ駆動の駆動マージンを十分確保することができる。

【0042】また、請求項4に記載の駆動方法では、請求項5に記載のように、アナログ駆動を行うときとデジタル駆動を行うときとで上記選択パルスの形状（パルス幅および／またはレベル）を互いに異ならせている。これにより、アナログ駆動時およびデジタル駆動時において、必要とされる選択パルスが得られる。

【0043】上記の請求項4の駆動方法によって、デジタル駆動時の選択期間が短くなると、デジタル駆動においても駆動マージンが不足するおそれがある。そこで、請求項6に記載のように、デジタル駆動を行うときに上記選択パルスの付与時間を、例えば前述のMalvern 駆動法によって、その選択パルスに対応する選択期間を越え

て延長することが好ましい。これにより、デジタル駆動においても駆動マージンを十分確保することができる。

【0044】本発明の請求項7に記載のマトリクス型表示装置の駆動方法は、上記の課題を解決するために、互いに対向しかつ交差するように配列された複数の走査電極と複数の信号電極との交差部において画素が形成されるマトリクス型表示装置において、1フレーム内に上記走査電極へ複数回選択パルスを付与するとともに、選択パルスの付与後に上記走査電極へ選択パルスと同じ回数表示状態を消去するための消去パルスを付与し、かつ複数回付与される上記消去パルスのうち少なくとも1つを他の1つと異ならせる一方、上記信号電極へ選択パルスに対応してデータパルスを付与することにより、1フレーム内に選択パルスの付与回数だけ上記画素を点灯または消灯させることを特徴としている。

【0045】この駆動方法でも、請求項2の駆動方法と同様、同一画素に選択パルスが付与される各期間の表示特性に応じた消去パルスを設けることができる。

【0046】本発明の請求項7の駆動方法は、請求項8に記載のように、請求項3と同様、1フレームを長さの異なる複数の期間に分割し、そのうち最も長い期間における消去パルスを他の期間における消去パルスと異ならせているので、累積応答が軽減され、その結果、階調の逆転を防止することができる。

【0047】

【発明の実施の形態】本発明の実施の一形態について図1ないし図7に基づいて説明すれば、以下の通りである。

【0048】〔FLCDの基本構成〕本実施の形態に係るFLCDは、図2に示すように、液晶セル1を有している。この液晶セル1は、互いに対向する2枚の透光性の例えばガラスからなる基板2・3を備えている。

【0049】基板2の表面には、例えばITO（インジウム錫酸化物）等からなる複数の透明な信号電極S…が互いに平行に配置されている。これらの信号電極S…は、例えば酸化シリコン（SiO₂）からなる透明な絶縁膜4により被覆されている。

【0050】一方、基板3の表面には、例えばITOからなる複数の透明な走査電極L…が信号電極S…と直交するように互いに平行に配置されている。これらの走査電極L…は、絶縁膜4と同じ材料からなる透明な絶縁膜5で被覆されている。

【0051】上記の絶縁膜4・5上には、斜方蒸着法、ラビング処理などの一軸配向処理が施された透明な配向膜6・7がそれぞれ形成されている。配向膜6・7としては、SiO₂、ポリビニルアルコール等が用いられる。

【0052】ガラス基板2・3は、一定の間隔（セルギャップ）をおいて対向するように、配向膜6・7側でシール剤9により貼り合わされている。液晶層8は、貼り

合わされたガラス基板2・3の間の空間内に、555電性液晶が封入されることによって形成されている。555電性液晶は、シール剤9に設けられた図示しない注入口から真空注入法によって注入され、その注入口が封止されることで封入される。

【0053】基板2・3は、さらに偏光軸が互いに直交するように配置された2枚の偏光板10・11で挟まれている。

【0054】図3に示すように、走査電極L…（L₀～L_F）は走査電極駆動回路21に接続され、信号電極S…（S₀～S_F）は信号電極駆動回路22に接続されている。図3における液晶セル1は、説明を簡単にするために、16本ずつの走査電極L…と信号電極S…とを備える構成となっており、16×16の画素A_{ij}を有している。この画素A_{ij}は、任意の走査電極L_i（i=0～F）と任意の信号電極S_j（j=0～F）とが交差する部分である。

【0055】走査電極駆動回路21は、走査電極L…に電圧を印加する回路であり、シフトレジスタ21aと、ラッチ21bと、アナログスイッチアレイ21cとを有している。この走査電極駆動回路21では、1bitの走査信号YIが、クロックCKに基づいてシフトレジスタ21aにより転送され、シフトレジスタ21aの各出力段から出力されて、さらに負論理のラッチパルスLPに同期してラッチ21bで保持される。

【0056】ラッチ21bに保持された値が有意（例えばハイレベル）のときに、アナログスイッチアレイ21cにより、その値が出力される信号ラインにつながる走査電極L_iに選択電圧V_{cl}（選択パルス）が印加される。一方、ラッチ21bに保持された値が非有意（例えばローレベル）のときに、アナログスイッチアレイ21cにより、その値が出力される信号ラインにつながる走査電極L_k（k≠i）に非選択電圧V_{co}（消去パルス）が印加される。

【0057】また、走査電極駆動回路21は、後述する第1および第2の駆動方法を実現するように、走査電極L…を走査信号YIに基づいて1フレーム内に複数回走査するようになっている。

【0058】信号電極駆動回路22は、信号電極S…に電圧を印加する回路であり、シフトレジスタ22aと、ラッチ22bと、アナログスイッチアレイ22cとを有している。この信号電極駆動回路22では、データ信号XIが、クロックCKに基づいてシフトレジスタ22aにより転送され、シフトレジスタ22aの各出力段から出力されて、さらに負論理のラッチパルスLPに同期してラッチ22bで保持される。

【0059】ラッチ22bに保持された値が有意（例えばハイレベル）のときに、アナログスイッチアレイ22cにより、その値が出力される信号ラインにつながる信号電極S_jにアクティブ電圧V_{s1}が印加される。一方、

ラッチ 22b に保持された値が非有意（例えばローレベル）のときに、アナログスイッチアレイ 21c により、その値が出力される信号ラインにつながる信号電極 S_k ($k \neq j$) にノンアクティブ電圧 V_{s0} が印加される。

【0060】また、信号電極駆動回路 22 は、走査電極 L... を選択する選択期間毎に割り当てられたデータを、後述する第 1 および第 2 の駆動方法において定義された選択期間に信号電極 S... に供給するようになっている。

【0061】〔第 1 の駆動方法〕第 1 の駆動方法は、FAB 法を用いて 288 階調の表示を行う。このときの階調駆動は、前述のように、3bit の時間分割駆動法と 2bit の画素分割駆動法とを組み合わせしており、図 7 に示すように、TD 1bit における SD 2bit にのみ 7 階調のアナログ駆動を適用している。このアナログ駆動では、7 階調のうちの階調レベル“0”（最小レベル）、“3”（中間レベル）および“6”（最大レベル）が使用される。また、表示条件としては、デューティ比 800 のインターレース走査を採用している。

【0062】本駆動法では、第 1 の駆動法におけるアナログ駆動およびデジタル駆動には、図 1 (a) に示すアナログ駆動用波形および図 1 (b) に示すデジタル駆動用波形が用いられる。図 1 (a) および (b) に示す選択パルスとデータパルスとは、それぞれ走査電極駆動回路 21 と信号電極駆動回路 22 とから出力される。

【0063】アナログ駆動に用いられるデータパルスは、4 つの各区間における電圧レベルの組み合わせによって階調を表現する。階調レベル“0”（最小レベル）のデータパルスは黒を表示し、階調レベル“6”（最大レベル）のデータパルスは白を表示するときに用いられる。階調レベル“1”ないし“5”のデータパルスは、黒と白との間の 5 つの階調を表示する。また、階調レベル“3”は、黒と白との中間の階調を表示し、最大レベルと最小レベルとの中央値に設定されている。

【0064】一方、デジタル駆動に用いられるデータパルスは、ON（点灯）およびOFF（消灯）の 2 つの表示状態を表すように 2 値的に与えられる。

【0065】前述の従来の FAB 法では、選択期間が、アナログ駆動およびデジタル駆動ともに均一の 13.8 μ s であったが、図 1 (b) に示すデジタル駆動の場合、選択期間 T_2 が 12.4 μ s に設定されている。デジタル駆動には、前述のように Malvern 駆動法を利用できるので、ここでは Malvern 拡張によって選択パルスの幅を拡張し、駆動マージンを確保している。Malvern 拡張の度合いは、駆動マージンが十分確保できる程度に定められる。

【0066】ここで、TD 1bit、TD 2bit および TD 3bit の 1 画素 A_{ij} に対応する選択期間を合計した時間は、従来の方法の場合と同じであるので、 $13.8 + 13.8 + 13.8 = 41.4$ [μ s] となる。したがって、本駆動方法では、アナログ駆動を

行う TD 1bit に要する選択期間 T_1 は、 $41.4 - 12.4 \times 2 = 16.6$ [μ s] となる。

【0067】したがって、図 1 (a) に示すように、アナログ駆動の選択期間を従来より長い時間に確保することができる。それゆえ、図 1 (a) のデータパルスを用いた 7 階調の表示を十分行うことができる。

【0068】なお、選択期間 $T_1 \cdot T_2$ は、上記の値に限られることはなく、走査電極数などに応じて適宜設定される。

【0069】また、本駆動方法は、フレームが均等に分割される場合でも適用できるのは勿論である。

【0070】〔第 2 の駆動方法〕第 2 の駆動方法は、時間分割駆動法と画素分割駆動法とを組み合わせた従来の駆動法を用いて、消去パルスを調整して、図 6 に示す 64 階調表示を行う。ここでも、前述のように、分割数 3 の時間分割し、分割数 2 の画素分割とを用いる。時間分割では、 $1 : 4 : 16 = \text{TD 1bit} : \text{TD 2bit} : \text{TD 3bit}$ の比で 1 フレームを分割し、画素分割では、 $1 : 2 = \text{SD 1bit} : \text{SD 2bit}$ の比で 1 画素を分割している。

【0071】消去パルスは、表示状態を消去するために、前述の各選択パルスの後に走査電極駆動回路 21 によって走査電極 L... に付与される。本駆動方法では、図 4 に示す 2 種類の消去パルスを用いる。第 1 消去パルスは、選択期間 T_3 ($= 23.1 \mu$ s) に対し、その 3 倍のパルス幅を有する負極性のパルスである。第 2 消去パルスは、第 1 消去パルスと同じパルス幅を有するが、選択期間の 2.5 倍の負極性の部分と、その期間に続く、選択期間の 0.5 倍の正極性の部分とを有している。

【0072】なお、第 2 消去パルスの正極部と負極部とのそれぞれの幅およびレベルは、累積応答が軽減されるように実験で得られた値が用いられる。また、選択期間 T_3 は、第 1 の駆動方法における選択期間 $T_1 \cdot T_2$ と同様、走査電極数などに応じて適宜設定される。加えて、第 1 および第 2 消去パルスの幅は、ラインアドレスタイム (LAT) の 3 倍に限らず他の大きさであってもよく、また、アナログ駆動の場合とデジタル駆動の場合とでそれぞれ異なってもよいし、同一であってもよい。

【0073】第 1 消去パルスは、TD 1bit と TD 2bit とに付与され、第 2 消去パルスは、TD 3bit に付与される。これにより、TD 3bit による累積応答が軽減されるので、前述の従来の光学応答特性（図 10 および図 11 参照）に比べて光漏れの少ない光学応答特性が得られる。

【0074】なお、第 2 消去パルスの正極部では、原因は不明であるが若干の光漏れが実験により観測された。しかしながら、この光漏れは、累積応答に起因する光漏れに比べて非常に短い期間しか発生しないので、光学応

答特性を損なうことはない。

【0075】また、図5に、本駆動方法を用いた場合の各階調レベルの輝度特性を示す。この輝度特性では、従来の64階調表示における輝度特性（図9参照）で問題となっていた階調の逆転は生じていない。図5の輝度特性では、若干直線性に欠ける部分があるが、これは、画素の分割比が正確に1:2になっていないことによる。したがって、画素を正確に1:2に分割することによって、輝度特性の直線性を改善することができる。

【0076】このように、本駆動方法によれば、異なる形状の2種類の消去パルスを用いることによって、累積応答を軽減して、階調表示を良好に行うことができる。それゆえ、本駆動方法を第1の駆動方法と組み合わせることによって、階調表示の品位をより向上させることができる。

【0077】

【発明の効果】以上のように、本発明の請求項1に係るマトリクス型表示装置の駆動方法は、1フレーム内に走査電極へ複数回選択パルスを付与し、かつ走査電極を介して同一画素に付与される選択パルスのうち少なくとも1つを他と異ならせるとともに、上記信号電極へ選択パルスに対応してデータパルスを付与することにより、1フレーム内に選択パルスの付与回数だけ上記画素を点灯または消灯させる方法である。

【0078】これにより、異なる階調駆動法を組み合わせる場合、階調駆動法に応じて適正な選択期間を設定することができる。それゆえ、階調駆動法の組み合わせの自由度が向上するので、階調数が多くなっても、良好に階調表示を行うことができるという効果を奏する。

【0079】本発明の請求項2に係るマトリクス型表示装置の駆動方法は、請求項1の駆動方法において、選択パルスの付与後に上記走査電極へ選択パルスと同じ回数表示状態を消去するための消去パルスを付与し、走査電極を介して同一画素に付与される該消去パルスのうち少なくとも1つを他と異ならせている。

【0080】これにより、同一画素に選択パルスが付与される各期間の表示特性に応じた消去パルスを設けることができる。したがって、各期間において消去パルスによる表示状態の消去を十分行うことができるという効果を奏する。

【0081】本発明の請求項3に係るマトリクス型表示装置の駆動方法は、請求項2の駆動方法において、1フレームを長さの異なる複数の期間に分割し、そのうち最も長い期間における消去パルスを他の期間における消去パルスと異ならせているので、その最も長い期間における消去パルスを表示状態を十分に消去しうるパルスにすることで、累積応答が軽減される。その結果、階調の逆転が防止され、高品位の階調表示を提供することができるという効果を奏する。

【0082】本発明の請求項4に係るマトリクス型表示

装置の駆動方法は、請求項1ないし3の駆動方法において、上記選択パルスが走査電極上の画素に付与される各選択期間でデータパルスを上記信号電極へ2値的に付与するデジタル駆動と、少なくとも1つの上記選択期間で3階調以上の表示を行うためのデータパルスを上記信号電極へ付与するアナログ駆動とを用い、アナログ駆動を行うときの選択期間をデジタル駆動を行うときの選択期間より長くするので、アナログ駆動の駆動マージンを十分確保することができる。したがって、アナログ駆動とデジタル駆動とを組み合わせた階調駆動法によって、多階調表示を容易に実現することができるという効果を奏する。

【0083】本発明の請求項5に係るマトリクス型表示装置の駆動方法は、請求項4の駆動方法において、アナログ駆動を行うときとデジタル駆動を行うときで上記選択パルスの形状を互いに異ならせているので、アナログ駆動時およびデジタル駆動時において、必要とされる選択パルスが得られる。したがって、アナログ駆動およびデジタル駆動を所望通りに行うことができるという効果を奏する。

【0084】本発明の請求項6に係るマトリクス型表示装置の駆動方法は、請求項4の駆動方法において、デジタル駆動を行うときに上記選択パルスの付与時間をその選択パルスに対応する選択期間を越えて延長するので、デジタル駆動においても駆動マージンを十分確保することができる。したがって、アナログ駆動とデジタル駆動とを組み合わせた階調駆動法による多階調表示の実用性を、より高めることができるという効果を奏する。

【0085】本発明の請求項7に係るマトリクス型表示装置の駆動方法は、1フレーム内に走査電極へ複数回選択パルスを付与するとともに、選択パルスの付与後に上記走査電極へ選択パルスと同じ回数表示状態を消去するための消去パルスを付与し、かつ複数回付与される上記消去パルスのうち少なくとも1つを他の1つと異ならせる一方、信号電極へ選択パルスに対応してデータパルスを付与することにより、1フレーム内に選択パルスの付与回数だけ上記画素を点灯または消灯させる。

【0086】この駆動方法でも、請求項2の駆動方法と同様、同一画素に選択パルスが付与される各期間の表示特性に応じた消去パルスを設けることができる。したがって、各期間において消去パルスによる表示状態の消去を十分行うことができるという効果を奏する。

【0087】本発明の請求項8に係るマトリクス型表示装置の駆動方法は、請求項7の駆動方法において、1フレームを長さの異なる複数の期間に分割し、そのうち最も長い期間における消去パルスを他の期間における消去パルスと異ならせているので、請求項3の駆動方法と同様、累積応答が軽減される。その結果、階調の逆転が防止され、高品位の階調表示を提供することができるという効果を奏する。

【図面の簡単な説明】

【図 1】 (a) および (b) は、本発明の実施の一形態に係る F L C D の第 1 の駆動方法に用いられる、アナログ駆動用およびデジタル駆動用のそれぞれの選択パルスおよびデータパルスの波形を示す波形図である。

【図 2】 上記 F L C D に設けられる液晶セルの構造を示す断面図である。

【図 3】 上記液晶セルを含む上記 F L C D の要部の構成を示す平面図である。

【図 4】 本発明の実施の一形態に係る F L C D の第 2 の駆動方法に用いられる、2 種類の消去パルスの波形を示す波形図である。

【図 5】 上記消去パルスを用いた場合の各階調レベルの輝度特性を示すグラフである。

【図 6】 本発明の実施の一形態に係る F L C D および従来の F L C D に共通する、時間分割駆動法と画素分割駆動法とを組み合わせる 6 4 階調表示を行う場合の画素の表示パターンを示す模式図である。

【図 7】 本発明の実施の一形態に係る F L C D および従来の F L C D に共通する、アナログ/デジタル駆動法により 2 8 8 階調表示を行う場合の画素の表示パターンを示す模式図である。

【図 8】 J / A 駆動法および Malvern 駆動法で用いられる選択パルスの波形を示す波形図である。

【図 9】 従来の F L C D において図 6 の 6 4 階調表示を行う場合の各階調レベルの輝度特性を示すグラフである。

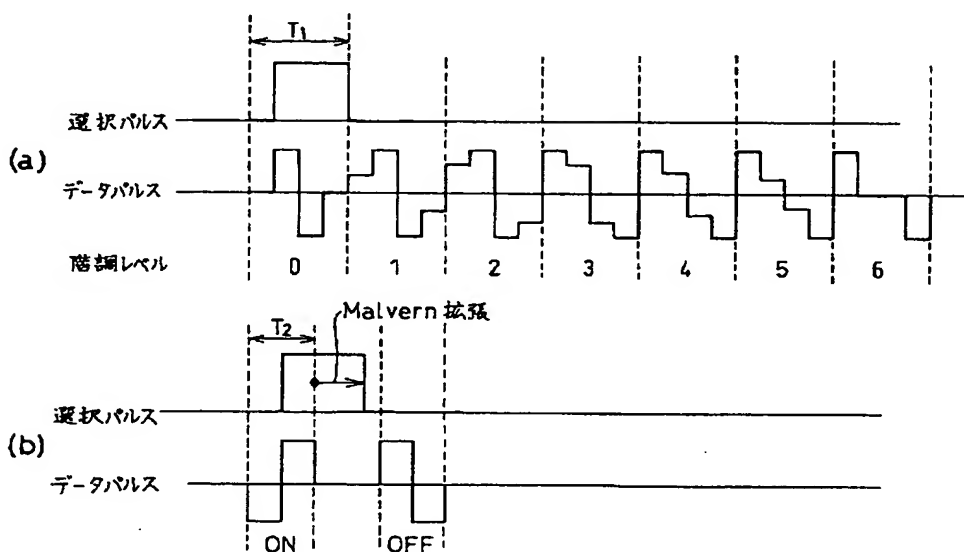
【図 1 0】 (a) ないし (d) は図 6 の 6 4 階調表示を行う場合の低階調レベルに対応する F L C D の光学応答特性を示す波形図であり、(e) は該光学応答特性に対応する選択パルスおよび消去パルスの配置位置を示す説明図である。

【図 1 1】 (a) ないし (d) は図 6 の 6 4 階調表示を行う場合の高階調レベルに対応する F L C D の光学応答特性を示す波形図であり、(e) は該光学応答特性に対応する選択パルスおよび消去パルスの配置位置を示す説明図である。

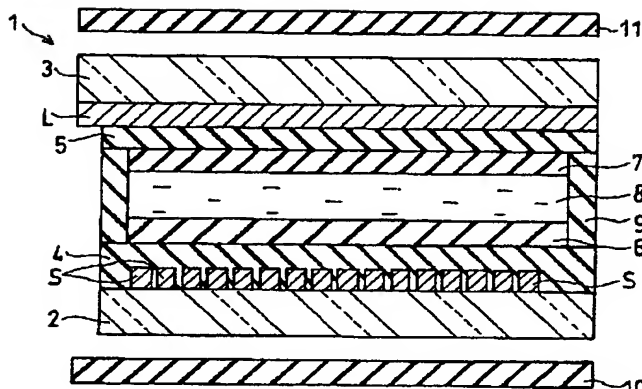
【符号の説明】

2 1	走査電極駆動回路
2 2	信号電極駆動回路
A _{ij}	画素
L	走査電極
S	信号電極

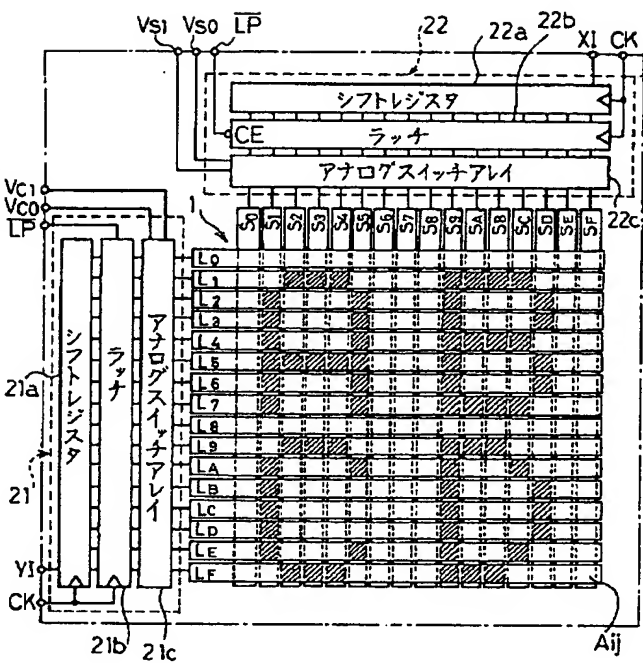
【図 1】



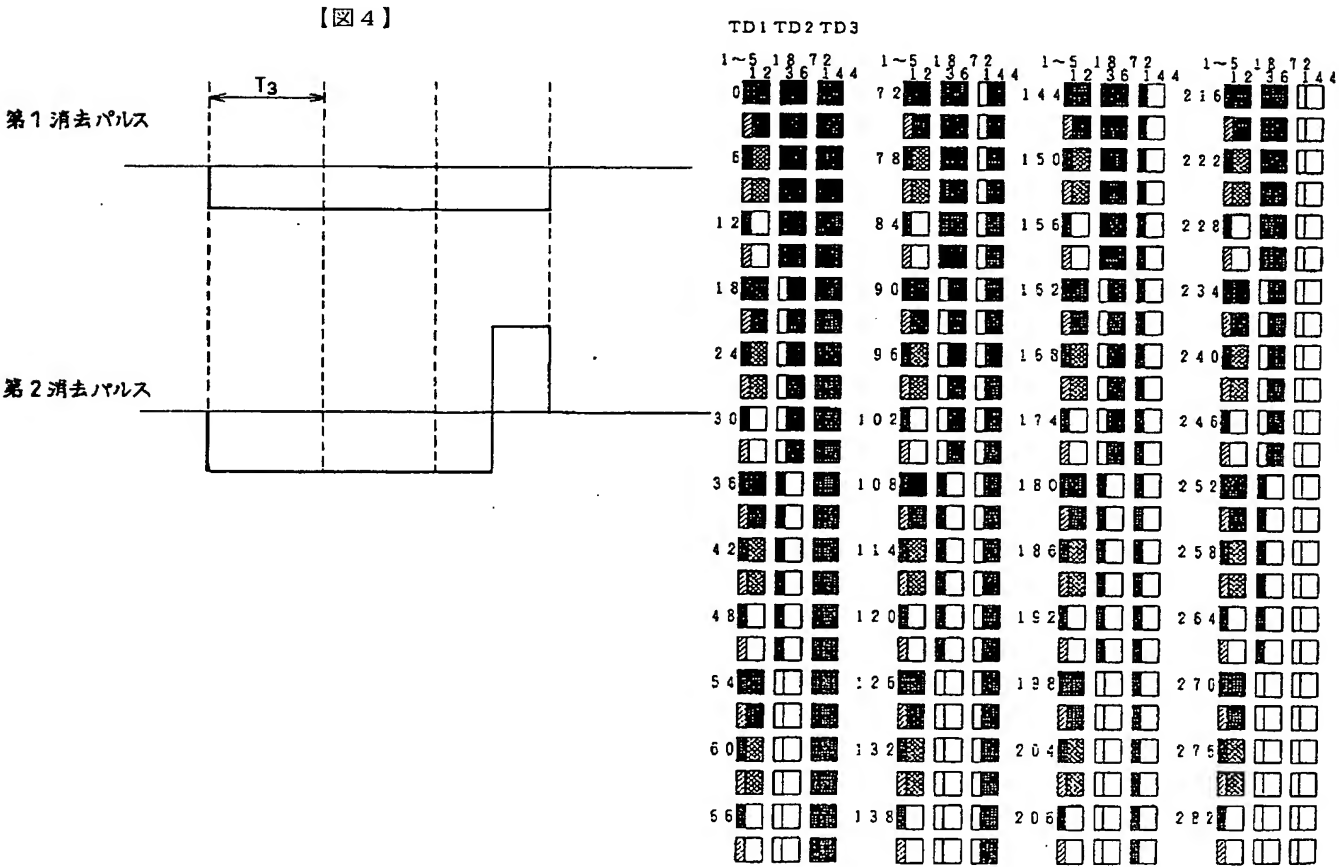
【図 2】



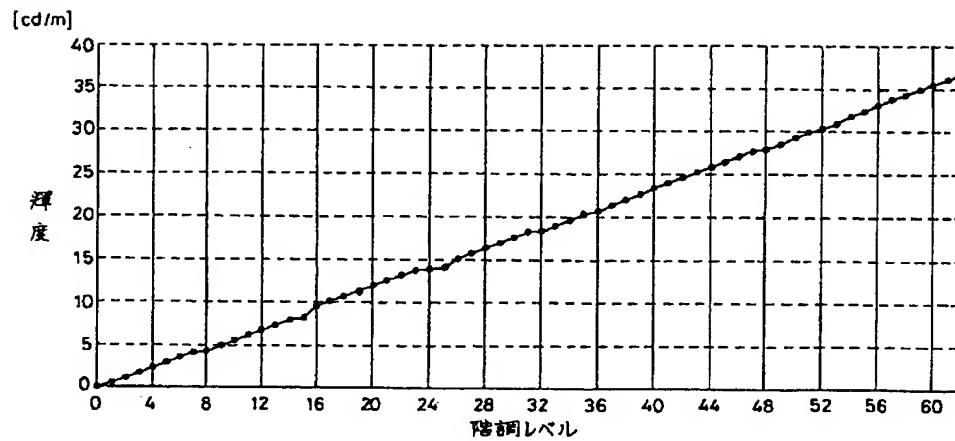
【図 3】



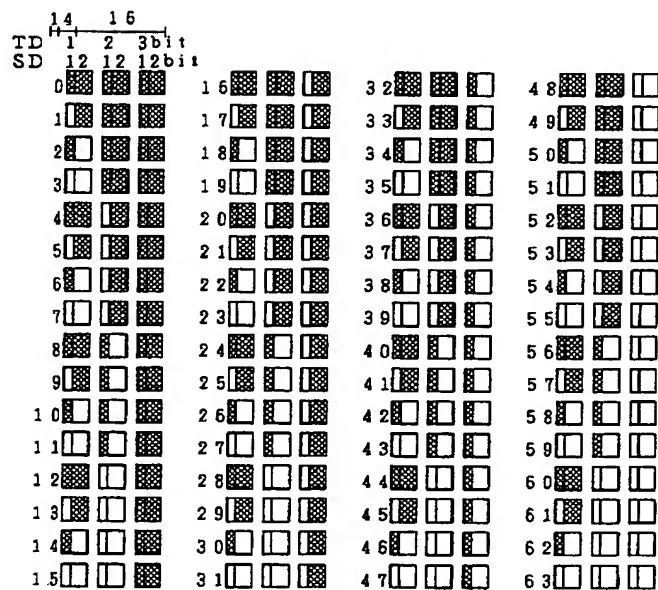
【図 7】



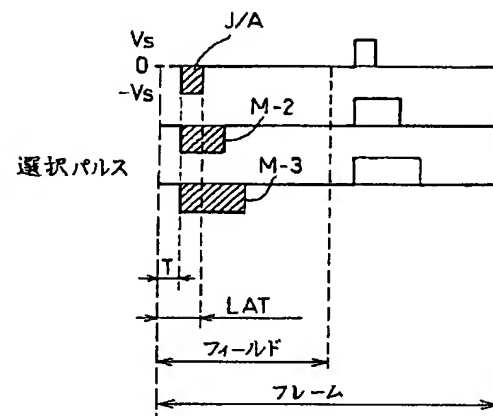
【図 5】



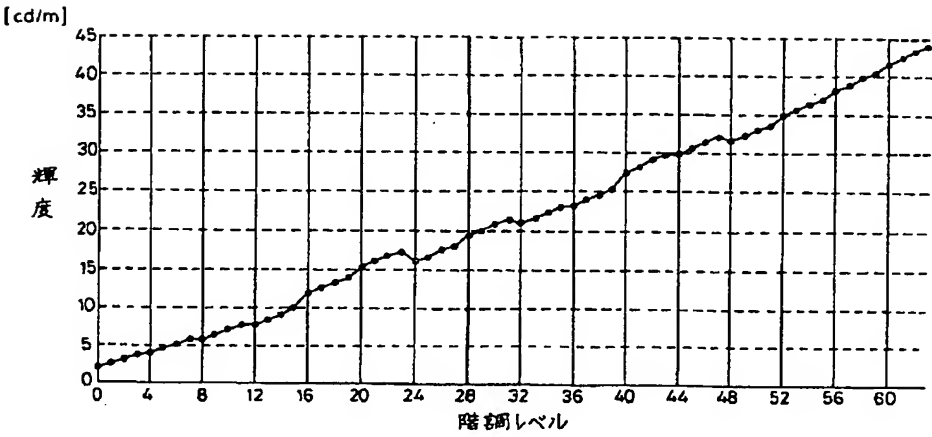
【図 6】



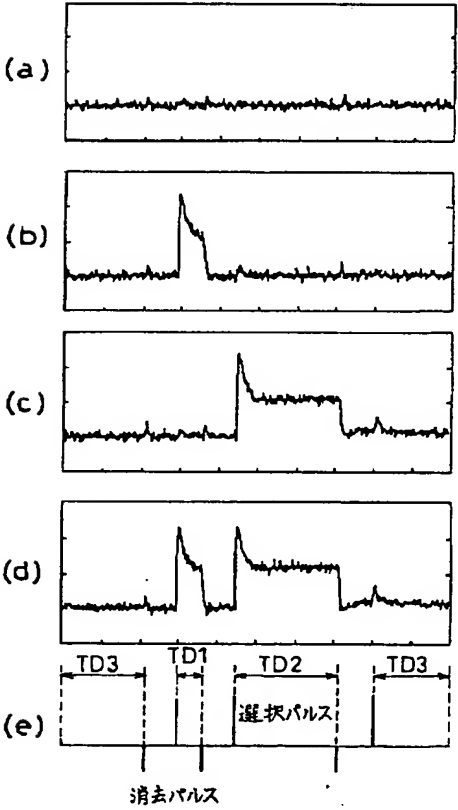
【図 8】



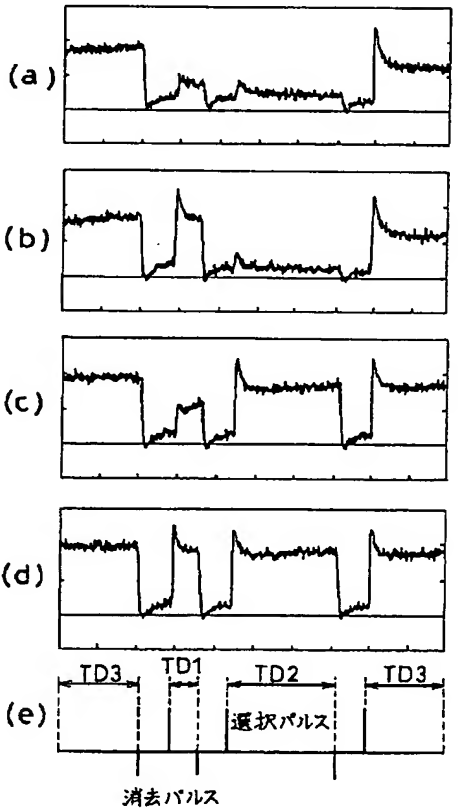
【図 9】



【図 10】



【図 11】



フロントページの続き

(71)出願人 390040604

イギリス国

THE SECRETARY OF ST
ATE FOR DEFENCE IN
HER BRITANNIC MAJES
TY' S GOVERNMENT OF
THE UNETED KINGDOM
OF GREAT BRITAIN AN
D NORTHERN IRELAND

イギリス国 ハンプシャー ジーユー14
0エルエックス ファーンボロー アイヴ
エリー ロード (番地なし) ディフェン
ス エヴァリュエイション アンド リサ
ーチ エージェンシー

(72)発明者 富沢 一成

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.